

JP 352014353 A
FEB 1977

(54) MIS-TYPE SEMICONDUCTOR DEVICE

(11) Kokai No. 52-14383 (43) 2.3.1977 (21) Appl. No. 50-90520

(22) 7.24.1975

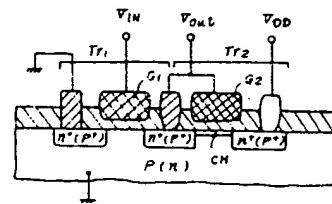
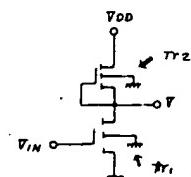
(71) FUJITSU K.K. (72) YOSHINORI MORITA

(52) JPC: 99(5)E3;99(5)H099(5)C1

(51) Int. Cl². H01L29/78, H01L29/62, H01L26/02, H01L21/28

PURPOSE: To make matched the characteristics of MIS devices by using metal with different work functions as gates.

CONSTITUTION: The gate G₁ and G₂ are formed through an insulation layer at the surface of P-type silicon substrate, and the N-type source and drain are formed on the substrate at the both sides of the gates. The threshold voltage V_{th} of the MIS device with the above mentioned constitution is linear to the difference ϕ_{MS} between the work function of metal of gate electrode and that of silicon as a substrate. The difference ϕ_{MS} is also a linear function of the work function of metal, ϕ_M . Then, it is possible to have the same effect by forming the gate of each element with metal, the work function of which is different from that of silicon substrate instead of controlling the concentration of impurity doped to silicon substrate in order to match the characteristics between MIS devices.



⑯ 日本国特許庁

公開特許公報

⑪特開昭 52-14383

⑫公開日 昭 52.(1977) 2. 3

⑬特願昭 50-90520

⑭出願日 昭 50.(1975) 7. 24

審査請求 未請求 (全4頁)

府内整理番号

6426 57

6513 57

7216 57

⑮日本分類

99(5)E3

99(5)H0

99(5)C1

⑯Int.Cl²

H01L 29/78

H01L 29/62

H01L 27/02

H01L 21/28



(4,000円)

特許願(3) 大庭弓な

昭和50年 7月24日

特許長官 斎藤英雄 殿

1. 発明の名稱

MIS型半導体装置

2. 発明者住所

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏名 齋藤 英雄

3. 特許出願人登録番号

211
往所 神奈川県川崎市中原区上小田中1015番地

(522)名 211
富士通株式会社

代表者 清宮 博

4. 代理人 登記番号

211
往所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(443)氏名

斎藤 松岡 宏四郎

電話川崎(044)777-1111(内線3391)

5.添附書類の目次

① 明細書



1通

② 図面

1通

③ 説明書

1通

1. 明細書

MIS型半導体装置

2. 特許請求の範囲

一導電型を有する半導体基板に、該半導体基板表面に絶縁膜を介してゲート電極が配置され、該絶縁膜の両側の半導体高表面領域に該半導体高表面とは反対の導電型を有するソース領域及びドレイン領域が配置されてなるMIS型半導体素子が複数形成され、該複数個のMIS型半導体素子で基本回路が構成されるMIS型半導体装置において該基本回路を構成するMIS型半導体素子の各々のゲート電極を該半導体高表面との仕事面距離を異にする異種金属で形成したことを特徴とするMIS型半導体装置。

3. 発明の詳細な説明

本発明はシリコン基板上に形成された複数の電界効果型トランジスタで基本回路を構成する半導体装置、特にゲート電極とシリコン基板間に金属絶縁層が形成されたMIS型半導体装置に関するもの。MIS型半導体装置により形成される基本回路と

してインバータ回路があり、二つの電界効果型トランジスタの一方をエンハンスマント型トランジスタとして他方をデブリーション型トランジスタとし、デブリーション型トランジスタをエンハンスマント型トランジスタの負角として形成される。更にNPN型とPNP型トランジスタを対として形成するコンプリメンタリ方式基本回路がある。従来かかる基本回路に対し、デブリーション型トランジスタを形成するため、あるいはNPN型、PNP型トランジスタの特性をさせらためシリコン基板への不純物ドープ濃度を制御することが行われている。

本発明はかかる制御によることなく所要のデブリーション型トランジスタの形成、あるいは対となるNPN型、PNP型トランジスタの特性一致が可能となる半導体装置を提供するものである。

そして本発明による半導体装置はトランジスタより一導電型を有する半導体基板に、該半導体基板表面に絶縁膜を介してゲート電極が配置され、該絶縁膜の両側の半導体高表面領域に該半導体高表面とは反対の導電型を有するソース領域及びドレイン

ン論議が配慮されてなるMIS型半導体素子が複数個形成され、該複数個のMIS型半導体素子で基本回路が構成されるMIS型半導体素子において該基本回路を構成するMIS型半導体素子の各々のゲート電極を該半導体基板との仕事面敷差を実現する異面を備て形成したことを特徴とするものである。

以下図面に従い本発明を詳細に説明する。

図1回はエンハンスマント型トランジスタをドライバーとしディブリーソン型トランスタを負荷とするインバータ回路(以下E/Dインバータと称す)を示し、第1回回は等価回路、第1回回は半導体装置の断面構造図を示す。尚(1)内の構成型はPチャネルE/Dインバータの場合、他はロチチャネルE/Dインバータの場合に対応する。

従来の P-N-P インバータにおいて、デブリーソヨン型トランジスタのうち、負荷となるトランジスタ T_{F2} のゲート G_2 に対応するシリコン基板位置で不純物が注入されチャネル C_H が形成されている。即ち、ゲート G_2 へのバイアスが零である場合で

ここで ϕ_M : ゲート電極の仕事函数

Zn-Si の電子親和力

E₁: Si の禁止帯幅

従つて(1), (2)式よりゲート電極と基板シリコンの仕事間数差を算らしめることにより過渡V_Tが変化することが理解される。更にこのことをエネルギーーバンド構造によつて証明する。第2図がMOS型素子におけるゲート電極がアルミニウムとの結合のバンド構造である。(より図はP型S+基板、第2図はn型S+基板の例である。)

$$\phi_S = \chi + \frac{E_0}{v} + \phi_{FB} \quad \text{となり}$$

一般に電子親和力 χ は本ウ $S=5\text{ eV}$, $E_U=1.1\text{ eV}$ であり、これに対し、アルミニウム A の電離の仕事函数 $\phi_m=4.0\text{ eV}$ 程度である。よって $\phi_m < \chi$ であつて、 ϕ_m によって算出される

1977-1978-1983 (2)

おいて、ある種の抵抗値を有し負荷抵抗となる。ここで從来装置においてはアート電圧 G_1, U_2 は、同種の金属で形成されている。これに対し本発明はドライバートランジスタ $T_{1,2}$ と負荷トランジスタ $T_{3,4}$ の各々のゲート電圧 G_1, U_2 が互いに異った金属、例えばアルミニウム A と多晶硅シリコンで形成されていることに特徴を有している。

即ち、かかる構成によりいずれかのトランジスタをデブリッシャン型とするためのチャンネルドープを行う必要をなくしている。

次に本発明のより深い理解のため原理について説明する。一般には I-S 型素子の箇道電圧 V_T は山式で示されるが更に山式内の M-S (ゲート電圧と基板シリコンの仕事関数差) は式で表わされる。

$$V_T = - \left(\frac{Q_{SS} + Q_B}{C_0} + \phi_{MS} + z \phi_{FB} \right) \dots \dots \quad (1)$$

ここで Q_{yy} : 単位面積当たりの界面電荷密度

Q_B : 単位面積当たりの S_i 空間電荷密度

C_g : 単位面積当たりのゲート容量

*FB: 基本シリコンのフェルミホツンシャル

「ごとくシリコンシリ表面のバンドが下方へ曲げられる。また地盤は SiO_2 が通常の熱処理によつて優らかたのとてんとうして

$Q_{SS}/g = 1 \times 10^{11} - 3 \times 10^{11} \text{ a.u.}$ の止電荷が存在することは避けられず、従つてアルミニウム電極に正のバイアスを与えたと同じ効果となり、シリコン Si 表面のバンドオフより下方へ曲げられることになる。従つて P ナンル型ではデブリーンジョン型、P ナンル型ではエンハンストメント型になり易い。

一万、第8回～第6回のようにアート電流が多結晶シリコンSiの場合(第8回、6回ではn型多結晶Si)、第5回、8回ではP型多結晶Siである。その仕様概要をまとめると

$$\phi_{ij} = \chi + \frac{g_i G}{2} + \phi_{pij} \quad \text{となる。}$$

よより B は多結晶 Si の場合も同様と考えてよいから多結晶 Si をゲート電極とした場合の仕事量計算式は(2)式となる。

$$\Phi_{SS} = \Phi_{FO} - \Phi_{FB}$$

ここで ρ_{ij} は多相品 Si のフェルミポテンシヤ

特開昭56-14383(3)

ヤネル型ではデブリーション型になりたい。

本発明は上記のような仕事関数を用いて、シリコン基体上に MIS 型素子を作る場合、それぞれのトランジスタのゲート電極として共通の金属を用いることにより負偏電圧 V_T を削除し、不純物のドープを熱処理することなく所要の抵抗をもたらせようとしたものである。

次表は B/D インバータ回路におけるゲート電極の組合せの一例を示したものである。

チャンネルタイプ	ドライバーの ゲート電極	負側トランジスタ のゲート電極
Pチャンネル B/Dインバータ	P型多結晶 Si (第5回)	AとまたはP型多 結晶 Si (第2回または 第3回)
Pチャンネル B/Lインバータ	AとまたはD型多 結晶 Si (第8回または 第9回)	P型多結晶 Si (第9回)

ここで本発明は上記 A と多結晶 Si との組合わせに限定されるものでないことは上記本発明の原理説明から明白であるとともに適用例として B/D インバータ回路が取られず、明示のことくコンパ

ルである。いまドナー不純物を盛くした多結晶 Si のフェルミレベルは図 8 回、最も図に示すように電場強度 E_C で導くなり、正ってその仕事関数 ϕ_0 は E で導くなる。又、アクセプタ不純物を盛くドープした多結晶 Si のフェルミレベルは第 5 回、最も図に示すように正偏電圧 E_V で導くなり、正って、その仕事関数 ϕ_0 は $E + E_V$ となる。

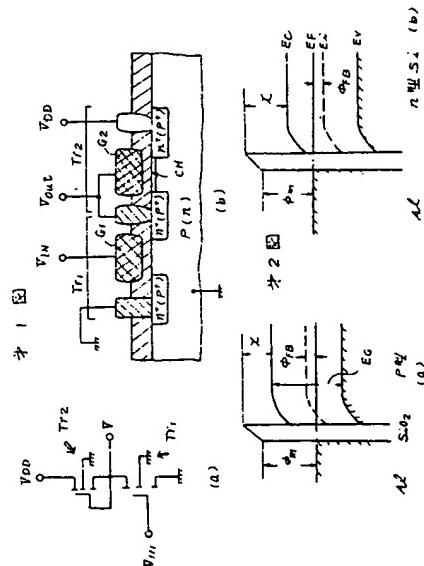
従つて图 1 回式によつて求めて、图 3 回～图 8 回によつて各自に理解されるようにゲート電極の仕事関数が基体 Si のそれより大きい程、負偏電圧 V_T では正電位に移行し、ロナインセル型ではエンハンスマント、P チャンネル型ではデブリーション型になりたい。即ち第 8 回、第 9 回における場合、電極となる多結晶 Si の仕事関数は E であり、基体 Si の仕事関数より小さく P チャンネル型ではデブリーション型、P ナイナル型ではエンハンスマント型、P ナ

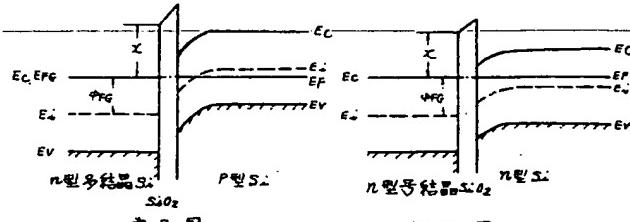
リメンタリー型 MIS 素子にも適用されることはあるものではない。

4. 図面の略解を説明

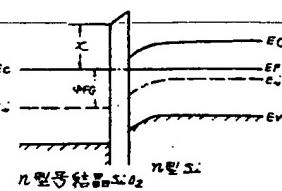
第 1 回は本発明を適用した B/D インバータ、第 2 回乃至第 9 回は本発明を説明するための回路を各々示す。

代序入 斎博士 公司 古川

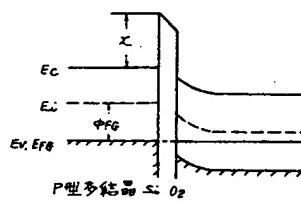




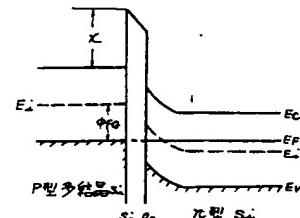
第3図



第4図



第5図



第6図